



引言

这是一个短系列中的第一份出版物，报告了Teledyne e2v在用光纤取代铜作为物理传输层，连接数据转换器和数字信号处理器方面的进展。其目标是实质上简化高吞吐量数据转换器互连，以实现远程定位转换器。通过这样做，数据和关键控制信号的可靠路由距离远比现在常见的要长得多。开发轻型光纤被视为其中的关键，将开启微波射频系统的未来创新。这种方法在相控阵系统中尤其具有优势。

将高采样带宽扩展到Ka波段，降低功耗和改进尺寸，意味着现代数据转换器已经准备好与敏感的射频天线阵列进行协同定位。这可能标志着朝建立商业可行的数字相控阵系统迈出了重要的下一步。

Teledyne e2v工程师表示，实现这些目标将促进ESIstream协议的进一步发展。作为概念验证，他们将设计一个能够聚合所有控制信号的低成本编码引擎，随后

光纤的优势

长距离通信 >> 20 m
减轻重量，增加数据密度
增强性能 - 无串扰，零电磁干扰
支柱基础设施的未来适用水平

通过应用ESIstream协议进行编码和序列化。低成本FPGA代码引擎将位于光链路的相对两端，在目标转换器（如即将问世的EV12PS640或EV12DD700）和它们的相关DSP模块之间桥接数据。

这一初步探索解释了环境、挑战和实施计划，结果将在后面介绍。

这个项目开始探索原型光数据链路桥的能力和局限性。通过光纤传输四类系统信号，即：参考时钟、采样数据、控制数据（包括SPI和GPIO）以及同步信号，以确保确定性采样。相控阵和波束形成系统要求样本相位精度；这种精度决定了空间精度。因此，保持确定性至关重要。因此，一个关键的成功因素将是建立一种强大的方法，将Teledyne e2v的同步链¹特性扩展到光链路。

这个高水平精确问题与过去先进科学研究中已经发现的问题没有什么不同。包括欧洲核子研究中心大型强子对撞机（LHC）在内的一些项目都面临着在通过通常不确定的以太网连接的分布式实验之间实现精确同步的挑战。在这种情况下，出现了一个特殊的协议 - 白兔协议。

在Teledyne e2v的数据转换器世界中，确定性被一种新的方法解决。同步链允许大规模并行的转换器系统始终保持确定性同步。在铜上实现的方法相对简单，当然在转换到光纤上变得更具挑战性。

该项目将评估原型的性能，并确定由温度和其他环境因素引起的任何性能影响。在最初的实验阶段，假设物理光纤链路为20米长，使得射频模拟和数据处理组件之间能够显著分离。该项目得到了Radiall²的技术支持，该公司还提供了所使用的光电收发器。

¹ 同步链，简化千兆赫数据转换器的多通道同步。



市场需求和光纤的优势

光纤如何有益于未来的系统架构？这种范式转变的主要动机是什么？

表1突出了传统射频铜同轴电缆和光纤之间的一些区别。大部分优势都来自于光纤，但仍有两个因素减缓了光纤在射频系统中的应用，即成本和安装复杂性。即便如此，复杂性与太空的结合意味着，交付一种实用的光纤解决方案仍有相当大的潜在需求。对于Teledyne e2v来说，这意味着找到一个通过光纤传输控制信号的可行解决方案。一种潜在的方法已经在该公司以无许可证数据序列化系统ESIstream的形式存在。

特性	光纤	同轴电缆
电缆组成	塑料和玻璃内层纤维	金属箔、铜编织和塑料绝缘
电缆损耗	分散、弯曲、吸收	电阻、辐射和电介电
重	轻	相对较重
直径	细（125微米）	较粗
传输速率/数据密度	>>Gbps/非常高	~Mbps/适中
抗扰度	高	低
带宽（两种类型都依赖于调制	THz	~750 MHz
衰减	0.4 dB/km（依赖于光波长）	6 dB/30m（依赖于信号频率）
安装挑战	困难	容易
相对成本	高	低

表1 光纤和铜同轴电缆特性评估

光束运行原理

光链路可能降低系统复杂性。然而，阻碍这一目标的是一些棘手的工程问题：

1. 确保光链路可靠地传输慢控制信号，最重要的是，
2. 这种光纤可以为远程转换器提供无错误的确定性时钟，以确保同步运行。

所提出的解决方案（图1）采用低成本、低功耗的FPGA编码/解码引擎来聚合、格式化和编码由系统GPIO或SPI消息生成的串行控制向量。信号来自现有的高速数据转换器：高端12位器件，如EV12PS640 ADC或EV12DD700 DAC。两种评估系统都方便地利用了FPGA的夹板连接器（FMC）。在创建的原型中，FMC的物理链路被破坏，另外两个FMC（如图1中的绿色块所示）配置了光链路。四个专用的CML通道将携带控制信号（GPIO），四个LVDS通道传递系统时钟。

无许可证ESIstream的可用性为控制信号的弹性编码提供了理想的接口，为远程数据转换器创建一个适合未来的通用光接口。

² <https://www.radiall.com/products/active-optics.html>

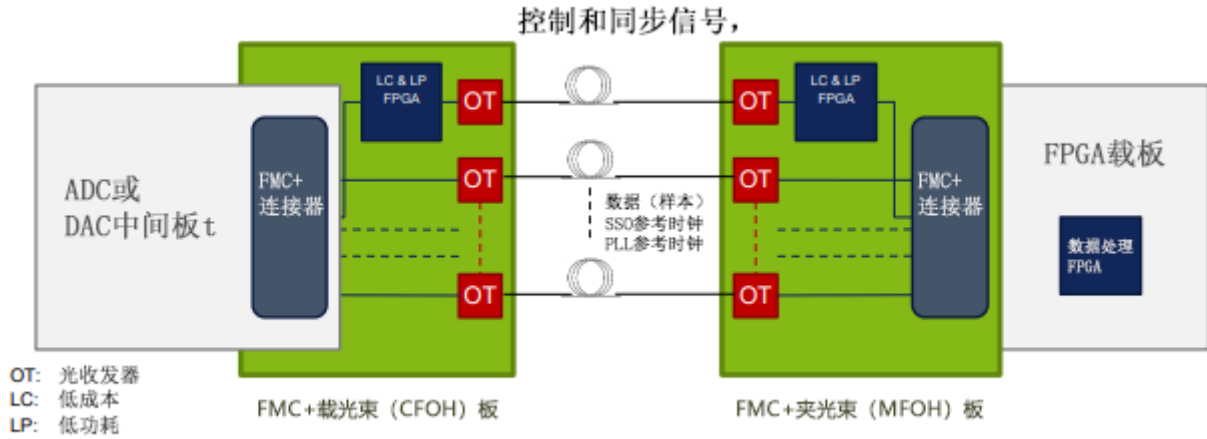


图1 - FMC光束方块图

数字相移的背景

用于波束形成的数字相移可以精确地控制射频信号，例如，在雷达应用中，可以使用多个频段进行多目标跟踪。除了数字相位所提供的显著灵活性外，还存在采用数字阵列的内在性能原因。首先，模拟相移难以实现，数字相移带来了提高旁瓣抑制能力急需的相位精度。

传统上，构建全数字阵列的最大障碍是尺寸、功耗和处理能力。每个阵列元件要求射频信号路径电子元件与阵列共存以获得空间精度。从物理上讲，电路元件（数据转换器和相关模拟元件）需要足够小，以便每个通道可以相距半个波长。X波段要求小于20毫米的间距，这对信号路径电子学造成了很大的空间限制。此外，紧凑的空间会引起热管理方面的担忧，从而产生大幅降低功耗的需求。

实现这种复杂设计的另一个挑战集中在数据和GPIO控制信号的路由和传输上。考虑到每个阵列所需的信号密度，这将产生巨大影响，如果设计必须依赖铜互连，这在很大程度上是不切实际和不经济的。

数据序列化在高性能转换器中被广泛使用，但光链路仍然很少优于铜连接。即便如此，预计当直接射频转换扩展到更高的微波频率时，光纤的优势可能会迅速取代铜。然而，数据路径创新是实现这一目标的关键！

之前的相关实验性工作

在开始该项目之前，已经进行了一些工作来建立最先进的技术。德州仪器公司的一篇初现曙光的文章³描述了基于光纤的JESD204B在相控阵应用中的运用。

术语表

ADC	- 模拟数字转换器
CML	- 电流型逻辑
DAC	- 数字模拟转换器
LVDS	- 低电压差分信号
FPGA	- 现场可编程门阵列
GPIO	- 通用I/O
GT	- 千兆收发器
RDC	- 运行差异计数器
SPI	- 串行外围接口

³ 《JESD204B over optical fiber enables new architecture for phased-array radars》，Mike Guibord。



有趣的是，该项目只描述了用光纤替换数据通道。为了实现确定性延迟或传输控制信号，作者显然求助于传统的铜作为一种更简单的方法。除了“简单性”之外，似乎没有什么具体的理由可以忽略控制信号方面。

来自英国林肯大学的第二篇文章⁴描述了一个FPGA项目，用于聚合SPI和GPIO数据，通过高速光链路发送。文章深入探讨了扩展传输距离的编码选择，并阐明了出现的挑战。主要结论：

在建立链路同步时需要谨慎，因此需要参考时钟

编码是成功的关键。在这种情况下，8b/10b编码被证明比其他更简单的方案（如XOR或灰色编码）要好几个数量级。

最后作者演示了，如果延迟是一个显著的问题，如何重新同步链路以补偿已知的延迟。

最后，正如前面所暗示的，为了在核物理研究环境中实现确定性，科学家们开发了一种同步以太网方法，使用白兔⁵协议提供精确的亚纳秒计时。

实现概述

FPGA代码引擎如图2所示（紫色框块）。链路由信号处理FPGA提供的100 MHz参考时钟计时。建立链路操作需要一个同步前导，一旦完成，串行化控制向量将由传输代码引擎产生。然后ES1stream编码矢量通过快速千兆赫CML收发器在链路上传递。接收向量将在接收代码引擎中解码，并适当地路由到连接的转换器。

除了FPGA之外，FMC扩展卡上还需要电路。例如，供应FPGA的本地电源管理。在链路的编码端也需要时钟调节和分配。

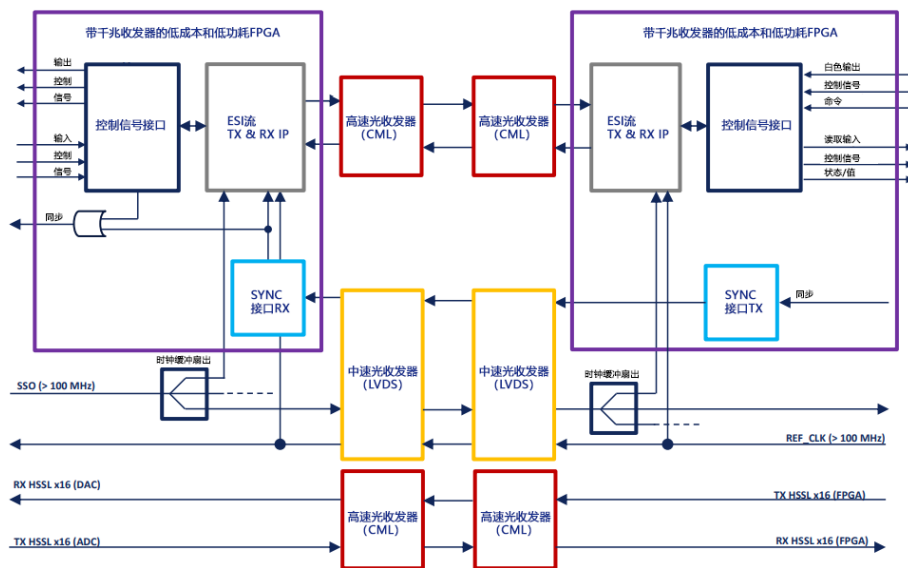


图2 - 显示基于FPGA的光编码引擎的光链路细节

⁴ 《Low Cost FPGA Implementation of a SPI over High Speed Optical SerDes》，Peter Hobden和Saket Srivastava。

⁵ The White Rabbit Project - various authors, Proceedings of ICALEPCS2009, Kobe, Japan。



ESIstream提供控制数据编码方法

作为一个免许可、高效、简单的串行点对点数据接口，ESIstream⁶已经适用于光部署。与其他选择一样，ESIstream（图3）依赖于CML序列化器。该算法采用伪随机二进制序列（PRBS）编码的14b/16b编码算法对数据进行加扰，再与视差位相结合，保证稳定的DC均衡链路。第二个附加位指定为时钟位，使链路的远端能够监视和维护链路同步锁。



图3 - ESIstream数据包

加扰后，得到的14位数据按如下方式编码成16位数据包。第一个附加位，时钟位（CB）在连续帧上切换。第二个视差位（DB）的设置取决于连续运行的视差计数器（RDC）的状态。出现了两种RDC场景：

1. RDC小于 ± 16 ，则视差位的值设为‘0’
2. RDC超过 ± 16 ，则视差位设为‘1’，数据包被反转（执行一个位对位NOT操作）

这种视差行为满足了对接收器（解码器）相位锁定环的最小转换次数的需求，以在保持DC平衡的同时保持锁定。正常情况下，接收端先检查DB。如果设置得高，则接收到的数据在解扰之前被反转。

对于确定性操作，ESIstream链路设置要求链路是同步的，即数据帧在发射器和接收器之间正确对齐。链路同步通过两个操作步骤建立：

1. 首先进行帧对齐，然后
2. 伪随机位序列开始。

ESIstream的一个诱人特性是，它消除了由于支持多种数据帧选择和JESD204替代行业标准方法所要求的位打包而产生的记录格式复杂多样性。JEDEC替代方案（JESD204B & C）被迫迎合各种用例和不同分辨率的转换器，这意味着数据帧变得难以调试，延迟增加，编码/解码IP变得越来越复杂，占用资源。

另一方面，ESIstream是编码和传输串行控制向量的已验证低资源IP解决方案。

原型硬件基础设施

正确的光学

规划的演示器使用Radiall光收发器。可以通过I2C访问设备配置寄存器，并提供温度、光功率等相关信息。同样，如果检测到传输损耗，可以调整预强调和均衡器特性，帮助进行系统调试。

Radiall坚固的D-light组合提供3个数据速率等级（10 Mbps、5Gbps和12Gbps）和多个包选项。这些光学元件配置为四通道双工收发器或12通道单工收发器，用于接收器和发送器应用。D-Light是协议不可知的，提供标准的LVDS和CML电气接口。

⁶ ESIstream是高效串行接口，详细描述见ESIstream官方网站。



低成本、低功耗逻辑

需要一种结合经济、低功耗和千兆收发能力（至少一个CML通道）的合适FPGA选项来实现控制信令。Xilinx Artix 7 FPGA是一个可靠的选择。可以说，低功耗的选项是存在的，但功率优化不是初始阶段的中心目标。

从项目管理的角度看，开发速度至关重要，因此使用现有的、商业可用的FPGA模块比构建新的、全面的FPGA模块更可取。因此，找到了合适的FMC开发板。来自Trenz电子公司的一个选项（TE0712-02-71136-A）已被选择用于初始代码开发。

审核现有的铜互连并建立概念可行性

检查EV12PS640和EV12DD700的数据表，可以显示功能系统设计所需的独特控制和参考时钟信号的计数，如表2所示。串行时钟将通过LVDS链路传输。同时，串行化的控制记录将使用Artix 7 FPGA的单CML通道。

从列表信息中，很容易定义序列化所需的最小控制记录长度（以位为单位）。为了支持EV12DD700，控制位必须串行化，最多48位。因此，在ES1stream的14b/16b编码环境中，一个四词控制记录长度（即64位）是自然的选择，导致数据速率为6.4 Gbps @100 MHz参考时钟。记录长度使连续数据速率舒适地控制在Artix 7千兆传输器的极限（6.6 Gbps）之内。

审核设备互连（非电源）	EV12PS640 （微波ADC）	EV12DD700 （微波DAC）
时钟		
总参考时钟通道（LVDS）	1个通道	1个通道
同步通道（LVDS）	1个通道	1个通道
控制位		
到FPGA的控制信号（位）总计	32位	44位
其他时钟 (SSO2P、SSO3P、CLKoutB)	3	4（添加SSO）
最小控制记录长度	32 + 3 = 35位	44 + 4 = 48位

表2 控制信号审核

提供系统范围的确定性同步

在过去的几年里，同步链已经在几篇文章中被记录下来，正如引言中所说，如果有一个真正有用的替代铜的光学产品出现，那么同步链可能是该项目最关键的成功因素之一。

在光纤上转换到同步的挑战是，就像今天实现的那样，同步信号被标记为一个相对缓慢的10ns电平变化。不要将它与JESD204实现中的SYSref时钟混淆。考虑到SYNC的“非时钟”特性，如何在光纤上保持精确计时？

这就是曼彻斯特编码派上用场的地方。曼彻斯特编码是早期计算机时代的一种简单的相移键控编码方法。二进制数据控制时钟的相位（图2）；它有效地确保一个积极或消极的中位转换；维护DC平衡并提供一个常规的数据边源，以保持电缆/光纤远端的链路锁定。

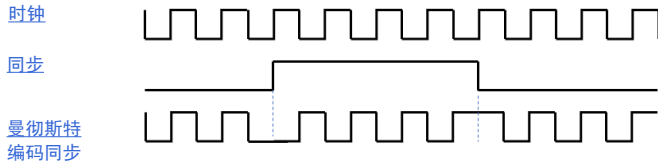


图4 - 曼彻斯特编码确保中位转换和DC平衡

曼彻斯特是易于实现的专用OR-ing (XOR) 同步信号与参考时钟。即使在同步声明之前可能有一个稳定的零流，接收器将在半比特周期内记录从低到高的转换。通过光纤的延迟比铜要低几个数量级，因此在多阵列系统中根据不同的旅行时间进行调整对大多数实际应用来说应该是微不足道的活动。

后续步骤

所描述的工作利用了先前的知识，即融合实用和“以铜证明”方法，将实时铜信号转换为光传输的采样时域。Teledyne e2v的工程师对他们的实验方法充满信心，但正式的结果有待原型硬件和HDL代码创建的完成。项目的初步结果将于2022年初公布。

结论

ES1stream固有的简单性和资源效率提供一个有用和直接的协议层，不仅支持通过光纤传输样本数据，而且支持控制数据的传输。此外，该原型的工作设想是，一个简单的解决方案，曼彻斯特编码，促进同步链的传输；在保持确定性同步方面非常关键。就目前而言，这些观察仍然是理论性的，但它们将很快得到充分评估，并迅速报告结果。

假设初始实验工作成功，除了常规数据线外，每个转换器节点还需要两个额外的LVDS兼容通道以及一个CML发送和接收通道对（读和写）用于聚合控制信令。考虑到已经需要的大量数据通道，这代表着很小的成本损失，特别是考虑到它解放了系统设计以在前端和信号处理块之间的显著分离上扩展通信。

Teledyne e2v欢迎广大公司对本项目进行咨询，特别是那些有兴趣全面评估本文所述实验性工作结果的公司。公司可以提供关于这两种数据转换器的更多技术细节。



更多信息，请联系：
Byron Gao,
技术应用工程师
peng.gao@teledyne.com



更多信息，请联系：
Yuki Chan,
市场传讯经理
yuki.chan@teledyne.com

