

同步链，简化 GHz 数据转换器的多通道同步

目标

本文将介绍如何使用 Teledyne-e2v 的 Gsps 采样率宽带 ADC，简化大型并行采样系统中多个 ADC 通道的同步。

简单来说，这是一篇使用同步链功能的简要指南。

这里提供的信息和数字波束成形或 MIMO 天线系统相关，可结合[产品数据手册](#)一起阅读。

相关产品: EV12AQ600

本文基于下面的管脚分配:

- 差分对 SYNCTRIGP 和 SYNCTRIGN ,对应管脚 14A/15A
- 差分对 SYNCOP 和 SYNCON ,对应管脚 8A/7A

关键定义

- 确定性延迟: 系统的生命周期中，从一个上电周期到另一个上电周期，数据在系统中传递所需的已知并一致的时间延迟。
- 同步: 一种确保多个信号通道的数字采样时序对齐的方法，用于保持信号的确定的相位关系。
- 亚稳态: 数字信号的不确定区域，可使用同步设计减少这个问题。

图示列表

1. 禁止的亚稳态区
2. CMU 框图
3. SYNCTRIG 产生方法
4. 同步链实现
5. 同步训练算法
6. 训练前和训练后的同步结果
 - a. 训练前
 - b. 粗调
 - c. 微调

同步链，简化 GHz 数据转换器的多通道同步

目录

目标	1
相关产品: EV12AQ600	1
关键定义	1
图示列表	1
概述	3
同步 GHz 采样系统的挑战	3
亚稳态推动对同步功能的需求	4
CMU 产生用于确定操作的同步脉冲	4
SYNCTRIG 信号源	5
对齐 SYNCTRIG 和 SYNCO	6
计算同步链延迟	6
同步操作的实际实现	6
同步训练算法	7
交叉关联方案	7
FFT 方案	7
多 ADC 系统的同步链	8
同步链的优点	8
结论	8
常见问题	9
同步链相比其他的同步方法如何?	9
同步训练 vs 其他同步技术的校准?	9
同步链需要重校准吗?	9
当使用同步链时, 我需要注意什么?	9
ESIstream 加 SYNC, 还是 JESD204B 加 SYSREF?	9
可以自动进行同步链训练吗?	10
对于链路中的 ADC 有数量的限制吗?	10
同步链的优点很多, 那么我能够不考虑输入信号的线长匹配吗?	10
哪些时序约束会影响同步脉冲的设置?	10

同步链，简化 GHz 数据转换器的多通道同步

概述

在复杂并行数据采集系统中，经常需同步多片 ADC 的采样，以实现射频、微波和毫米波波束控制，而这依赖于保持时序的精确性。对于高速数据转换器，这尤其是一件富有挑战性的任务，因为对时序的要求更加严格。

复杂的数据采样系统依赖于复杂的信号时序关系，而数字系统的延迟必须被精确计算，以确保采样对齐。而且，高速 ADC 是复杂的系统，需要精密的时钟电路（特别是分频器），这使得同步的工作更加复杂。

本文将介绍如何简化复杂多通道系统的同步设计。通常，实现确定性操作是一件复杂的工作，而某些其他的方案，如 JESD204B sub-class 1，则无法保证其总是正常工作。

这里将讨论一种可靠、容易实现并广受设计师欢迎的同步时序的方案。在 Teledyne-e2v，确定性同步围绕着事件驱动的差分信号对实现。这些信号保证目标转换器的时序系统可被复位，因而所有的数字子系统都可被正确地锁定到参考主时钟。而且，这一同步方法可被延伸至系统中的其他 ADC。

这一方法的优点在于，它可保证在系统的生命周期中的多个并行通道之间的同步的可靠性。一旦设计完成、准备生产，只需进行一次训练即可实现正确的系统同步。

训练得到的系统时序参数可被存入本地存储器。当不同芯片有差异，或环境（比如温度或电压）变化时，时序参数保持不变。同步链提供了一个稳定、有保障的同步源，对于批量生产是一个巨大的优势。

我们先讨论同步的亚稳态，然后再讨论同步链的实现，因为它需要一些对 ADC 时钟管理单元的理解。我们可提供一些关于训练系统以计算不同器件（同一块电路板上或通过背板系统连接）之间的信号延迟。我们将详细讨论使用 EV12AQ600 的交织采样功能时，如何通过粗调和微调控制进行相位调整。本文也包含了一些有关核心概念的常见问题（FAQ）。

同步 GHz 采样系统的挑战

将数字波束成形的功能引入无线电系统中，需要同时（或同步）采样天线阵列的低层信号。当信号到达每个天线节点时，需保持空间（或信号相位）的信息。虽然这会增加系统的复杂度并增加功耗，但从电气和机械的角度看，也带来了一些巨大的优点：

- 从电气的角度看，由于提高了多通道的信噪比 (SNR)，降低了干扰，可提高无线电连接的效率和容量；高方向性允许频率重用；可同时拥有多个波束。

同步链，简化 GHz 数据转换器的多通道同步

- 从机械的角度看，减少了扫描系统的机械部件的数量，降低了机械维护的成本，并允许快速扫描响应。

今天很多应用已经使用波束成形，但是随着逐步增加的带宽和采样精度的需求，系统设计和参考采样时钟的设计压力越来越大。

在 GHz 的频率下，信号传递时间对集成电路(IC)和电路板都非常重要。印刷电路板(PCB)上传输线的走线，其信号线长度需匹配，以保持多通道应用中的相位信息。1 厘米的走线大约增加 60 到 70ps 的传递时间。如果把它和 6GHz 采样时钟的 166ps 的周期比较，可见板级的走线会明显影响设计。

而且，现在复杂的 IC 的速度越来越快，用到多个 GHz 的频段的应用并不罕见。电路板和 IC 的设计对模拟侧的设计都很重要。而另一个问题和高频应用的数字域相关，叫做亚稳态。

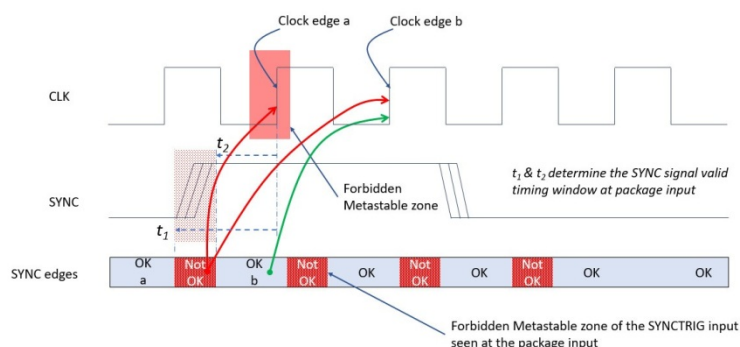
亚稳态推动对同步功能的需求

亚稳态不是频率相关的效应。但是，随着频率的提高，时钟周期缩短，避开亚稳态会越来越困难。

亚稳态是数字系统在短时间内的不稳定的平衡状态。同步逻辑设计极力避免亚稳态区。产生亚稳态的原因一般是由于包含多个处理模块的复杂数字系统具有多个独立的时钟域。通过保证内部触发器的输入建立和保持时间满足特定的关系，可减少亚稳态的问题。

如下图所示。

图 1 – 禁止的亚稳态区



主时钟被标记为 CLK， t_1 和 t_2 分别是给定的数字模块的建立和保持时间。图中标明了对于每个时钟上升沿的禁止的亚稳态区 ($t_1 - t_2$)。 t_1 和 t_2 定义了封装输入端的 SYNC 信号可用的窗口。注意，图中的 SYNC edge 表示 ADC 的 SYNCTRIG 输入管脚上的禁止区。这个增加的延迟补偿了 IC 的时钟和输入信号的走线。同步设计需保证当使能 SYNC 信号时避开禁止区。图中的时钟信号表明了两种可能的 SYNC 瞬变。需避免采用标记了 a 的情况，这时上升沿刚好位于禁止区。

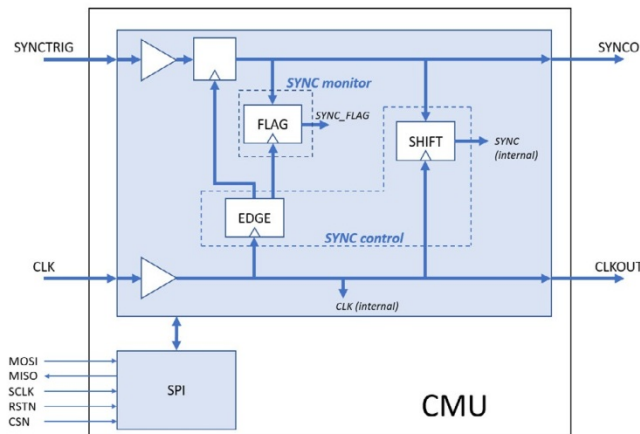
CMU 产生用于确定操作的同步脉冲

片上时钟管理单元(CMU)包含了 SYNCTRIG 和 SYNCO 以及 SPI 接口相关的多个控制信号的源头。这个模块的行为和通过 SPI 接口实现的数字控制系统密切相关。

2019 年 3 月

同步链，简化 GHz 数据转换器的多通道同步

图2—时钟管理单元 (CMU)



第一个 SYNCTRIG 输出(SYNCO)的产生需满足下面的时序条件：

- SYNCTRIG 脉冲的边沿处于图 1 中标出的禁止区外。要格外注意器件的建立和保持时间。
- SYNCTRIG 脉冲上升和下降时间满足规定的斜率的要求。

CMU 监视 SYNCTRIG 脉冲边沿的位置。作为边沿监视的一部分，可通过 SPI 接口获得单片或多片器件的确定性控制。与同步相关的控制寄存器包括：

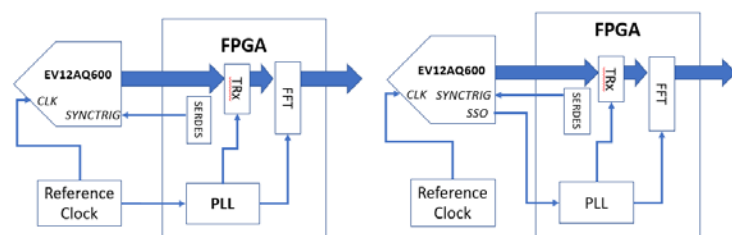
- SYNC_FLAG (地址 = 0x000D) – 时序违背的检测标记。如果 SYNC 的上升沿落入禁止区，此标记置位。
- SYNC_FLAG_RST (地址 = 0x000E) – 检测一个有效的 SYNC_FLAG。应在重新发送一个新的 SYNC 脉冲前读并复位这个寄存器。
- SYNC_CTRL (地址 = 0x000C) – 这个 3-bit 寄存器提供下面两种控制选项：

- Bit[0] 或 sync_edge 表明 SYNCTRIG 采样到系统主时钟的哪个边沿。
 - > Bit[0] = 0 选择正边沿
 - > Bit[0] = 1 选择负边沿
- Bits [2:1] 或 sync_shift 延迟给定的 ADC 的内部复位一个或多个系统时钟周期。这与 6.4GHz 的主参考时钟和四核心架构相关。
 - > Bits [2:1] = 00 – 不增加额外的时钟周期
 - > Bits [2:1] = 01 – 增加 1 个额外的时钟周期
 - > Bits [2:1] = 10 – 增加 2 个额外的时钟周期
 - > Bits [2:1] = 11 – 增加 3 个额外的时钟周期

SYNCTRIG 信号源

提供给模数转换器的同步信号是 LVDS 串行差分信号，很容易通过数字信号处理模块（例如 FPGA）产生。图 3 说明了两种典型的信号产生方法。第一种方法（左）使用高精度的参考时钟驱动 FPGA 和 ADC 模块。而右边的方法中，FPGA 的时钟由慢速同步输出(SSO)驱动 --- 它是由 ADC 产生的数据串行化时钟，依赖于参考时钟，但是慢了 32 倍。

图3—两种产生 SYNCTRIG 的方法



同步链，简化 GHz 数据转换器的多通道同步

对齐 SYNCTRIG 和 SYNCO

一旦转换器完成了确定性的操作，SYNCO 就和主时钟对齐，SYNCTRIG 可以和主时钟同步到达第一片 ADC。这是同步链操作带来的一个好处，因为 SYNCO 被系统主参考时钟重新采样，为链路中的下一片 ADC 提供完美的 SYNCTRIG 源。

计算同步链延迟

同步链的延迟由主时钟在多片 ADC 之间传递的相位延迟确定（采样时钟数， T_{clk} ）。为了准确计算时钟的传递延迟，需计算 T_{clk} 的周期总数 N 。但是，当使用 EV12AQ600 的交织功能时，根据选择的特定时钟模式（参考 EV12AQ600 数据手册中的交织部分），采样时钟被除以 1、2 或 4。因此，同步链延迟的最佳表述是：

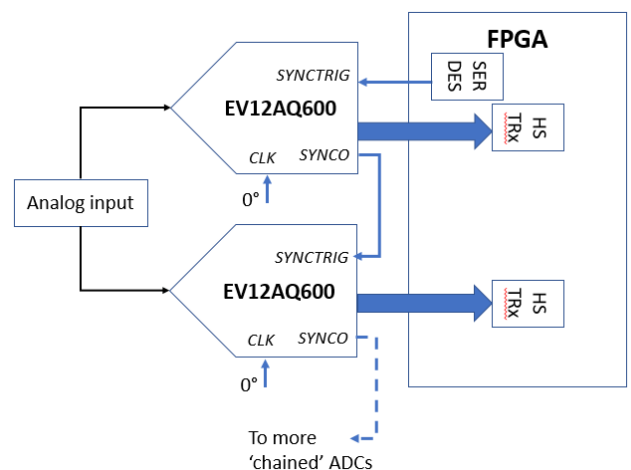
$$\begin{aligned}
 \text{SYNC chain delay} &= n \cdot T_s + \text{SYNC_shift} \\
 T_s &= 4 \cdot T_{CLK} & \text{SYNC_shift} &= k \cdot T_{CLK} \\
 \text{SYNC chain delay} &= (4 \cdot n + k) \cdot T_{CLK} & \text{where } k &\in (0, 1, 2, 3)
 \end{aligned}$$

这里的同步链延迟包括整数倍的主时钟周期，加上由上文提到的寄存器 SYNC_CTRL(地址=0x000C)控制的三个 SYNC shift。

同步操作的实际实现

为了实现多 ADC 系统的同步，同步链把同步输出信号(SYNCO)传递到系统中的其他 ADC 中，如图 4。

图 4 – 同步链实现



必须通过以下的两个步骤，保证 ADC 的同步。

- 配置链路中的 ADC，避免有效的 SYNC 落入 SYNCTRIG 输入的亚稳态区。
- 配置 ADC 使得所有内部时钟都在时间上对齐并同步。

这两个步骤由下面将提到的简单训练序列实现。

SYNCTRIG 有效时，可能会出现两种情况：

- 第一个 SYNCTRIG 脉冲异步到达（用户定义）采样时钟，这种情况出现的概率相对较低。
- 第一个 SYNCTRIG 脉冲同步到达采样时钟。

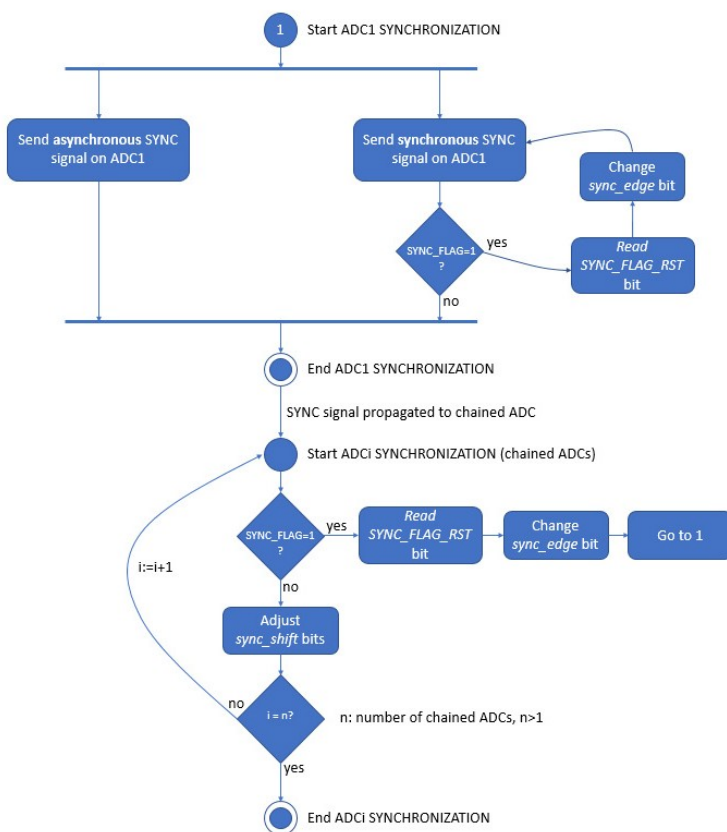
在异步的情况下，需重新发送 SYNCTRIG 直到它被第一片转换器正确接收。可通过监视 SYNC_FLAG 和它的复位信号(SYNC_FLAG_RST)判断是否正确接收。考虑到如今的工艺流程，建立和保持时间通常是几个皮秒。当参考时钟是 6.4GHz 时，一个周期是 156ps，进入亚稳态的概率只有百分之几。这意味着只要重新发送 SYNCTRIG 几次，就可保证同步。

同步链，简化 GHz 数据转换器的多通道同步

同步训练算法

多片 ADC 的同步训练算法如图 5 所示。

图 5 – 同步训练算法 (1 个器件)



训练一个完整的系统比前面提到的稍复杂，因为多片 ADC 之间的延迟不同。对于大型并行系统，除了需要实现单个电路板上的不同芯片的同步，还需要实现背板系统的同步。因此，在这种情况下，需考虑系统内的独立延迟。考虑到系统同步，采样点的时间对齐是由数字信号处理系统在数字域完成的。为了实现这一点，类似大多数串行数据系统，需使用一个灵活的弹性数据缓冲器。

系统训练需要测量不同通道间的延迟。Teledyne-e2v 提出了三种可实现的方案，每一种方案都有其优点和缺点，如下表所示。

方案	需求	优点	缺点
手动	一个边沿陡峭的输入信号（比如方波或斜坡）	- 已验证 - 允许同时调整其他参数	- 需访问特定 hf 波形 - 需可视化数据接口
自动交叉关联	一个 FS 模拟输入信号	- 可自动化 - 无需 FFT 计算	- 需交织数据
FFT 方案	计算 FFT	- 可自动化 - 只需测试每个 ADC 的一个核心	- 需计算 FFT (单点)

以上列出的三种方案中，有两种可自动化实现，因而它们适合现代的大规模生产。我们将更详细地讨论这两种方案。

交叉关联方案

通过系统操作使 ADC 运行在交织模式并给每个 ADC 核心输入全量程的正弦波。交织采样使得采样率达到最高(6.4Gsp/s 或较低一些，根据用户的不同需求配置)。这保证测量数据低至主时钟 (TCLK) 的速率。这种方案自动交叉关联相邻 ADC (ADC1 和 ADC2) 的采样数据，比较得到的最大输出。误差的最大值即是修正同步链延迟所需的相移值。

FFT 方案

给系统应用一个正弦测试信号，然后采集每个 ADC 的单个核心的数据。为基频计算 FFT 相位项。比较每个 ADC 的相位项。相位信息可被直接关联到每个需要的 SYNC 调整值。

同步链，简化 GHz 数据转换器的多通道同步

TCLK 调整的数目可通过下式计算。

$$n = \frac{[FFT_{\phi ADC1} - FFT_{\phi ADC2}] \cdot \frac{1}{F_{in}}}{360 \cdot T_{CLK}}$$

多 ADC 系统的同步链

图 6a – 同步 (训练前)

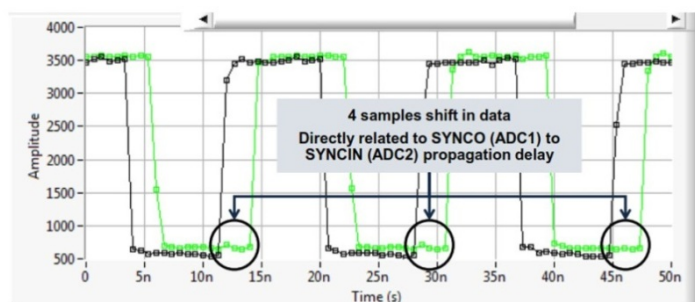


图 6b – 同步训练 (粗调)，参考时钟速率, Tclk

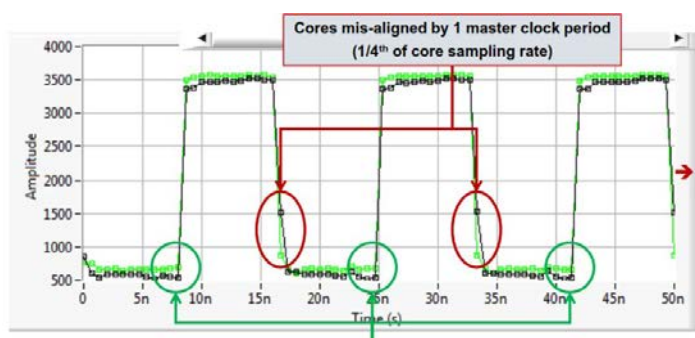
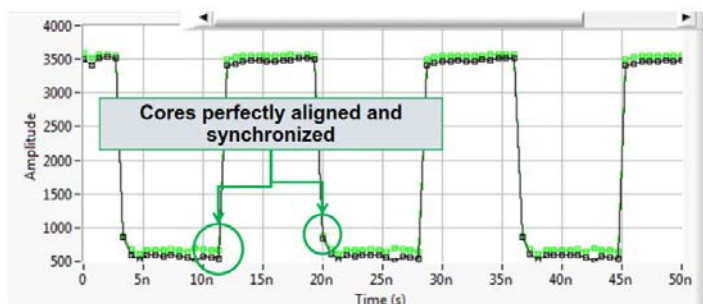


图 6c – 通过 sync_shift 同步训练 (微调)，子参考时钟速率, Tclk/4



同步链的优点

同步链功能对主系统时钟没有直接的影响，不会增加额外的抖动，可保证最优的动态范围。而且，Teledyne-e2v 已证明同步链是一种可靠的同步多通道系统的方案。一旦系统的时间延迟在训练过程中确定，即可存入存储器，在系统的生命周期内保持恒定。即使环境变化，例如流程、电压或温度变化，确定性延迟依然可靠。这可大幅简化复杂多通道系统的生产并降低配置的成本。

结论

这里阐述的关于 Teledyne-e2v 的 EV12AQ600 的同步链功能，可帮助降低相控阵系统、数字波束成形技术和 MIMO 设备设计的复杂度。

ADC 包含专门的电路以检测和减轻亚稳态问题，并提供重采样的 SYNC 信号支持同步链。这一事件驱动的过程可通过器件自身的 SPI 接口远程控制，进一步简化系统的设置。为了确定系统时序延迟特性并实现同步，只需一次简单的训练过程。总的来说，同步链带来了许多优点，其中对用户最有用的是上电即可实现稳定可靠的系统同步。同步链方案保证了时钟的动态性能，不会增加额外的抖动或相位噪声。

最后，我们已经证明，即使工作环境变化，同步链也可保证高度可靠，因此是高可靠性应用的最佳选择。

同步链，简化 GHz 数据转换器的多通道同步

这一技术也适用于 EV12AQ605 和 Teledyne-e2v 未来的器件。

常见问题

同步链相比其他的同步方法如何？

当 JESD204B sub-class 1 发布的时候，按照 JEDEC 串行链技术设计的转换器第一次可以保证确定性延迟。乍一看，这似乎和 Teledyne-e2v 提出的开源的 ESISStream 系统和同步链方案非常相似。对于 JESD204B sub-class 1，同步需使用 SYSREF 时钟。与同步链方案相比，这一方案的缺点在于其无法提供重采样的同步输出(SYNCO)。这一关键性的差异正是同步链可简化系统设计的秘密。SYNCO 被参考采样时钟重采样，然后基于它为链路中的下一片 ADC 产生 SYNCTRIG 输入信号。而 SYSREF 采用时序树分布方案，需要仔细的板级布线和额外的器件处理输出扇出需求。而且，根据 PCB 的布线，它需和输入信号和参考时钟保持相似的设计。

ESISStream 加 SYNC 的方案，还是 JESD204B 加 SYSREF 的方案？

根据不同项目的需求，两种方案都有某些优点。但是，JESD204B 的复杂度更高，对电源的需求更大，实现更复杂。而且，一些 JESD204B 产品的供应商已经表示：

“JESD204B 是一种复杂的接口标准。想要找出其不工作的原因，需要对类似情况的深入理解……”

同步训练 vs 其他同步技术的校准？

在 EV12AQ600 的同步链建立之后，训练过程只需执行一次。一旦从训练过程中得到时序的参数，如果没有任何物理的变化（比如线缆长度改变），这些参数将在系统的生命周期中保持恒定。即使芯片本身有所差异，或是电压或温度变化，这些参数也不会变化。而采用 JESD204B 或其他方案实现同步，则需要校准的操作。每次系统上电时，都需执行特定的初始化操作。这会影响系统的可用性。

同步链需要重校准吗？

不需要，只要不改变系统设计。一旦完成系统设计，准备量产，只需执行一次训练过程即可建立正确的采样同步。训练过程得到的系统时序参数可被存入本地存储器，在系统启动的时候载入。即使芯片本身有所差异，或是电压或温度变化，这些时序参数也不会变化，因为它们和特定的物理设计相关。整个生命周期，只需训练一次。这对于产品量产是一个巨大的优势。

当使用同步链时，我需要注意什么？

同步链是一种实现大规模并行系统同步采样的经济的方案。但是，仍然需要注意保证射频、微波或毫米波输入信号和参考采样时钟的布线具有匹配的长度。另一方面，同步信号的布线则简单的多，因为它是一个相对低速、单次的信号。

同步链，简化 GHz 数据转换器的多通道同步

可以自动进行同步链训练吗？

当然可以。上文已简单介绍了两种方式。最简单的方式是自动/交叉关联，需要所有器件工作在 4 通道交织的模式下。另一种较为复杂的方式是，对每个分立转换器核心的单个通道的输出频率数据进行快速傅里叶变换(FFT)，从而得到相关的相位信息。

对于链路中的 ADC 有数量的限制吗？

没有具体的限制，因为同步信号在每个器件的内部重采样，有效减少了同步信号在单个器件和整个系统中的传递延迟。但是，链路中的转换器越多，训练过程的速度越慢。注意，ADC 可被配置成菊花链、点对点或树形架构，以优化初始化时间。

同步链的优点很多，那么我能够不考虑输入信号的线长匹配吗？

不行。线长会减慢信号在电路板上的传输，由于波束成形依赖于这些信号之间的精确的时序差异，必须仔细考虑模拟采样信号和采样时钟的布线。对系统设计师而言，同步链的优点在于它是一个相对慢速的信号，容易在电路板和背板系统上传递。

哪些时序约束会影响同步脉冲的设置？

SYNC_FLAG 和 sync_edge 保证在任何设计中都可避开亚稳态区。为了实现这一点，每一片 Teledyne-e2v 的转换器都配置了特定的时钟电路，以监视和确定 SYNC 信号是否进入了亚稳态区。另外，可通过配置 SYNC_CTRL 寄存器，移动 SYNC 信号 1 个时钟沿，使其避开禁止区。